

Family list**3** family members for:**JP3042868**

Derived from 2 applications.

- 1 C-MOS THIN FILM TRANSISTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: **JP2850251B2 B2** - 1999-01-27
JP3042868 A - 1991-02-25
- 2 C-MOS thin film transistor device manufacturing method**
Publication info: **US5316960 A** - 1994-05-31

Data supplied from the *esp@cenet* database - Worldwide

03379968 **Image available**

C-MOS THIN FILM TRANSISTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **03-042868** [JP 3042868 A]

PUBLISHED: February 25, 1991 (19910225)

INVENTOR(s): WATANABE HIROBUMI

TERAO NORIYUKI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 01-178716 [JP 89178716]

FILED: July 11, 1989 (19890711)

INTL CLASS: [5] H01L-027/092; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1064, Vol. 15, No. 179, Pg. 122, May
08, 1991 (19910508)

ABSTRACT

PURPOSE: To enhance an n-type impurity concentration and to reduce n-ch source.drain part resistances by forming the upper layer part of the source.drain parts of a n-ch transistor in an n-type impurity high concentration region, and forming the lower layer part of the n-ch, p-ch source.drain parts and n-ch, p-ch gate electrodes in p-type impurity high concentration regions.

CONSTITUTION: Polysilicon is deposited on a quartz board 1, and p-ch, n-ch active layers 2 are formed. Then a thermal oxide film 3 is grown on the surface of the polysilicon by thermally oxidizing. Then, polysilicon is deposited to form a gate electrode 4. In this case, a resist pattern 5 formed by a photolithography remains as it is. Thereafter, a resist 6 is formed on the p-ch, P(sup +) ions 7 are implanted under predetermined conditions to form n-ch source.drain regions. Subsequently, after the whole resist is removed, B(sup +) ions 9 are implanted under predetermined conditions to simultaneously form p-ch source.drain regions and implant impurity in the electrodes 4 of both transistors. Then, the ions are activated. Here, born 10 is controlled to be implanted in the upper layer of the layer 2 and the lower layer of phosphorus 8 to sufficiently lower sheet resistances of the source.drain parts.

?

⑫ 公開特許公報(A) 平3-42868

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月25日

H 01 L 27/092
29/7847735-5F
9056-5FH 01 L 27/08
29/783 2 1 B
3 1 1 C

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 C-MOS薄膜トランジスタ装置とその製造方法

⑯ 特 願 平1-178716

⑰ 出 願 平1(1989)7月11日

⑱ 発 明 者 渡 辺 博 文 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 発 明 者 寺 尾 典 之 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用
 電子研究所株式会社内
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑲ 出 願 人 リコー応用電子研究所 宮城県名取市高館熊野堂字余方上5番地の10
 株式会社
 ⑳ 代 理 人 弁理士 友松 英爾

明 細 書

1. 発明の名称

C-MOS薄膜トランジスタ装置と
その製造方法

2. 特許請求の範囲

1. 薄膜状の第1の半導体層を能動素子として、

又第1の半導体層の上層に絶縁膜を介して形成された第2の半導体層をゲート電極として構成されたC-MOS薄膜トランジスタ装置において、nchトランジスタのソース・ドレイン部分の上層部をn型不純物高濃度領域とし、nchトランジスタのソース・ドレイン部分およびpchトランジスタのソース・ドレイン部分のそれぞれの下層部、およびnch、pchのそれぞれのゲート電極をp型不純物高濃度領域としたことを特徴とするC-MOS薄膜トランジスタ装置。

2. 第1番目にnchトランジスタのソース・

ドレイン部分の上層部にのみにn型不純物の注入エネルギーを制御してn型不純物を導入拡散させ、ついで第2番目にpchトランジ

スタのソース・ドレイン部分、ゲート電極およびnchトランジスタのソース・ドレイン部分、ゲート電極にp型不純物の注入エネルギーを制御してp型不純物を導入拡散させることを特徴とする請求項1記載のC-MOS薄膜トランジスタ装置の製造方法。

3. 薄膜状の第1の半導体層を能動素子として、

又第1の半導体層の上層に絶縁膜を介して形成された第2の半導体層をゲート電極として構成されたC-MOS薄膜トランジスタ装置において、pchトランジスタのソース・ドレイン部分の上層部をp型不純物高濃度領域とし、pchトランジスタのソース・ドレイン部分およびnchトランジスタのソース・ドレイン部分のそれぞれの下層部、およびnch、pchのそれぞれのゲート電極をn型不純物高濃度領域としたことを特徴とするC-MOS薄膜トランジスタ装置。

4. 第1番目にpchトランジスタのソース・ドレイン部分の上層部にのみにp型不純物の

注入エネルギーを制御してp型不純物を導入拡散させ、ついで第2番目にnchトランジスタのソース・ドレイン部分、ゲート電極およびpchトランジスタのソース・ドレイン部分、ゲート電極にn型不純物の注入エネルギーを制御してn型不純物を導入拡散させることを特徴とする請求項1記載のC-MOS薄膜トランジスタ装置の製造方法。

3. 発明の詳細な説明

〔技術分野〕

本発明は、C-MOS薄膜トランジスタ装置とその製造方法に関する。

〔従来技術〕

従来からの単結晶ウエハプロセスにおけるCMOSTランジスタの作成方法はおおむねつぎの順序で行われていた。

- (1) ウエハn(100)~2Ωcmを用いたpウエルの形成
- (2) PAD酸化膜、Si₃N₄膜の成長
- (3) アクティブホトリソ

(23)パッシベーション膜の形成

この工程順から明らかなように、ゲート電極の低抵抗化とソース・ドレイン領域の形成とは別々の工程で行われていた。

〔目的〕

本発明の第1の目的は、前記2つの工程を同一の工程で行うことである。

第一の目的を達成するためにnchトランジスタはソース・ドレイン部分にp型とn型の不純物が導入されることになり、その結果当然n型不純物濃度をp型不純物濃度より高くする必要があるがそれだけではソース・ドレイン部の抵抗が高いという問題が残る。

そこで、本発明の第2の目的は、nchのソース・ドレイン部の抵抗を充分下げることである。

〔構成〕

本発明の1つは、薄膜状の第1の半導体層を絶縁層として、又第1の半導体層の上層に絶縁膜を介して形成された第2の半導体層をゲート電極として構成されたC-MOS薄膜トランジスタ装置においてnchトランジスタのソース・ドレイン部分の上層部をn型不純物高濃度領域とし、nchトランジスタのソース・ドレイン部分およびpchトランジスタのソース・ドレイン部分のそれぞれの下層部およびnch、pchのそれぞれのゲート電極をp型不純物高濃度領域としたことを特徴とするC-MOS薄膜トランジスタ装置(1)に関するものである。

- (4) p-チャネルホトリソ
- (5) ボロンイオン打込
- (6) フィールド酸化
- (7) ゲート酸化膜の成長
- (8) Vthコントロールホトリソ
- (9) ボロンイオン打込
- (10) ポリシリコンの成長
- (11) リン拡散(ゲート拡散)
- (12) ポリシリコンパターニング
- (13) n⁺拡散ホトリソ
- (14) 砒素イオン打込: $1 \times 10^{14} \text{ cm}^{-2}$
- (15) ドライブイン
- (16) p⁺拡散ホトリソ
- (17) ボロンイオン打込: $1 \times 10^{15} \text{ cm}^{-2}$
- (18) PSG膜の成長
- (19) アニール
- (13)~(19)はソース・ドレイン領域の形成
- (20)コンタクトホトリソ
- (21)Al配線形成
- (22)シンター

ト電極として構成されたC-MOS薄膜トランジスタ装置においてnchトランジスタのソース・ドレイン部分の上層部をn型不純物高濃度領域とし、nchトランジスタのソース・ドレイン部分およびpchトランジスタのソース・ドレイン部分のそれぞれの下層部およびnch、pchのそれぞれのゲート電極をp型不純物高濃度領域としたことを特徴とするC-MOS薄膜トランジスタ装置(1)に関するものである。

前記C-MOS薄膜トランジスタ装置(1)を製造するには、第1番目にnchトランジスタのソース・ドレイン部分の上層部にのみにn型不純物の注入エネルギーを制御してn型不純物を導入拡散させ、ついで第2番目にpchトランジスタのソース・ドレイン部分、ゲート電極およびnchトランジスタのソース・ドレイン部分、ゲート電極にp型不純物の注入エネルギーを制御してp型不純物を導入拡散させればよい。

本発明の他の1つは、薄膜状の第1の半導体

層を能動素子として、又第1の半導体層の上層に絶縁膜を介して形成された第2の半導体層をゲート電極として構成されたC-MOS薄膜トランジスタ装置において、pchトランジスタのソース・ドレイン部分の上層部をp型不純物高濃度領域とし、pchトランジスタのソース・ドレイン部分およびnchトランジスタのソース・ドレイン部分のそれぞれの下層部、およびnch、pchのそれぞれのゲート電極をn型不純物高濃度領域としたことを特徴とするC-MOS薄膜トランジスタ装置(Ⅱ)に関するものである。

前記C-MOS薄膜トランジスタ装置(Ⅱ)を製造するには、第1番目にpchトランジスタのソース・ドレイン部分の上層部にのみにp型不純物の注入エネルギーを制御してp型不純物を導入拡散させ、ついで第2番目にnchトランジスタのソース・ドレイン部分、ゲート電極およびpchトランジスタのソース・ドレイン部分、ゲート電極にn型不純物の注入エネルギー

を制御してn型不純物を導入拡散させればよい。

本発明の製法の特色は、注入エネルギーを制御することにより不純物の飛程を制御している点である。したがって、不純物の種類の選択は自由であるが、不純物の種類により注入エネルギーはそれぞれ異なってくる。

図面(第1～4図)を参照して本発明を説明する。

1は石英、ガラス等の絶縁基板であり、その上にポリシリコンよりなる活性層2が形成されており、この活性層2の表面は熱酸化によりゲート酸化膜3が形成されている。n型不純物高濃度領域は、nchトランジスタのソース・ドレイン部分の上層部に形成(図中〇〇〇〇で表示)されており、p型不純物高濃度領域はpchトランジスタのソース・ドレイン部分、nchトランジスタのソース・ドレイン部分のそれぞれの下層部およびnch、pchのそれぞれのゲート電極に形成(図中××××で表示)さ

れている。

〔実施例〕

実施例1

第1図に示すとおり石英基板1の上にPolysiliconをLP-CVD法を用いて1200Å堆積し、フォトリソエッチング技術でpch、nchトランジスタの活性層2を形成する。ドライO₂雰囲気中で1020℃で熱酸化を行いPolysiliconの表面に800Åの熱酸化膜3を成長させる。次にPolysiliconをLP-CVD法を用いて3000Å堆積しフォトリソエッチング技術でゲート電極4を形成する。この時フォトリソで形成されたレジストパターン5はそのまま残しておく(第1図)。次に第2図に示すようにフォトリソ技術でpchトランジスタの上にレジスト6を形成しイオン注入法でリン(P⁺)7を注入エネルギー80KeV、ドーズ量 4×10^{15} atoms/cm²の条件で注入する(第2図)。この工程でnchトランジスタのソース・ドレイン領域が形成される。続いてレジストをO₂プラズマアッ

シング法で全面除去した後イオン注入法でボロン(B⁺)9を注入エネルギー40KeV、ドーズ量 2×10^{15} atoms/cm²の条件で注入する(第3図)。この工程でpchトランジスタのソース・ドレイン領域の形成とpch、nchトランジスタのゲート電極4の不純物注入が同時に行なわれる。注入イオンの活性化はN₂雰囲気中で900℃、30分行う。ここでnchトランジスタの活性層2には80KeVで打込んだリン8と40KeVで打込んだボロン10が混在しているが前述エネルギーに於いてはリンの平均イオン飛程はボロンのそれに比べ小さく活性層2の上層にリン8下層にボロン10がコントロールされて注入されている。従って活性層2のソース・ドレイン部分のシート抵抗は充分低く $\sim 500 \Omega/\square$ 程度となった。平均イオン飛程がほぼ等しいリン90KeVボロン30KeVでは $\sim 5 K \Omega/\square$ 程度の非常に高いシート抵抗しか得られなかった。なおこの時のゲート電極4のシート抵抗は $\sim 200 \Omega/\square$ であった。最後に層間絶縁膜11としてLP-CVD法でSiO₂

を堆積し、コンタクトホールをフォトリソエッチング技術で形成する。メタル電極にはスパッタリング法でAlを堆積しフォトリソエッチング技術でパターンニングして本発明のC-MOSトランジスタ装置(第4図)が完成する。

実施例2

実施例1ではゲート電極4にボロン10を注入したがリンを注入するプロセスも可能である。即ち第1図までは全く同様であるが、第5図でボロン(B⁺)を注入エネルギー25KeV、ドーズ量 5×10^{15} atoms/cm²の条件で注入する。次に第6図の工程でリン(P⁺)を注入エネルギー100KeV、ドーズ量 2×10^{15} atoms/cm²の条件で注入する。後の工程は実施例1と同様である。実施例1と異なる点は前述のゲート電極の不純物がリンであることと、異種の不純物が混在しているソース・ドレイン領域をもったトランジスタがnchではなくpchトランジスタであることである(第7図参照)。

なお、ゲート電極のシート抵抗、pchトラ

ンジスタのソース・ドレイン領域のシート抵抗は実施例1とほぼ同等の値が得られた。

〔効果〕

本発明の構成とその製法により、従来、ゲート電極の低抵抗化とソース・ドレイン領域の形成が別々に行われていたのを1つの工程で実施できるようになった。

また、本発明は、nchトランジスタのソース・ドレイン部分を上層部と下層部に分けてn型不純物とp型不純物の高濃度領域を形成することにより、nchトランジスタのソース・ドレイン領域を低抵抗とすることができた。

4. 図面の簡単な説明

第1図～第4図は、本発明のC-MOS薄膜トランジスタ装置の製造工程を示すためのものであり、第5図～第7図は、その変形例を示す。なお、いずれも各工程における製品の断面図である。

- | | |
|-------|---------|
| 1…基板 | 2…活性層 |
| 3…酸化膜 | 4…ゲート電極 |

5…レジストパターン

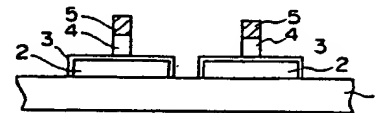
6…レジスト 7…リンイオン

8…リンの高濃度領域

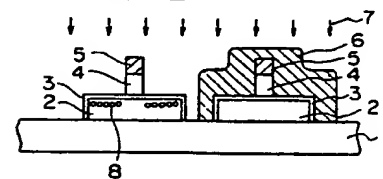
9…ボロンイオン 10…ボロンの高濃度領域

11…層間絶縁膜 12…メタル電極

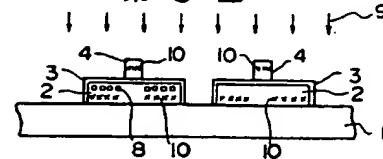
第1図



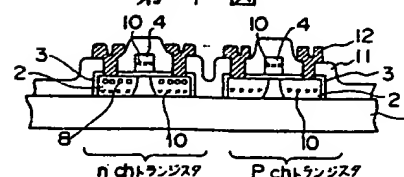
第2図



第3図



第4図

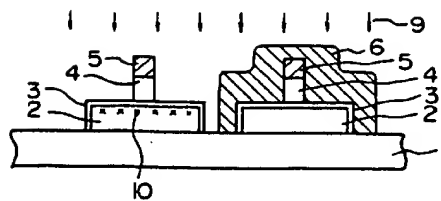


特許出願人 株式会社リコー 外1名

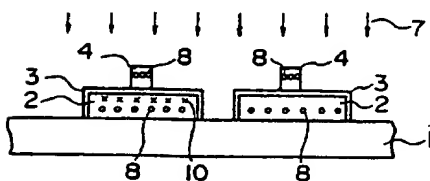
代理人 弁理士 友松 英 剛



第 5 図



第 6 図



第 7 図

